

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP2009134  
Publication date: 1990-01-12  
Inventor(s): KUDO HITOSHI  
Applicant(s): MATSUSHITA ELECTRON CORP  
Requested Patent: ☐ JP2009134  
Application Number: JP19880157923 19880628  
Priority Number(s):  
IPC Classification: H01L21/336 ; H01L21/28 ; H01L29/784  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To lessen overall sheet resistance and achieve planarization of elements by a method wherein ion implantation is carried to polysilicon on the upper portion of source/drain and impurities are diffused from the polysilicon on the source/drain by heat treatment.

**CONSTITUTION:** A field oxide film 2 and a gate oxide film 3 are formed on a substrate 1. After a gate electrode 4 is formed, ion implantation P is carried out. An oxide film is formed by oxidation. The entire surface as much as the oxide film thickness on the source/drain is etched, and a sidewall 10 is formed with the oxide film in the surrounding of the field oxide film 2 and the gate electrode 4 left. After the natural oxide film on the source/drain is removed, polysilicon 5 is accumulated over the entire surface and a resist 6 is buried in a step recess. Next, the polysilicon is etched with the resist 6 as a mask. Next, ion implantation of As is carried out to the polysilicon, and the source/drain polysilicon electrode 7 and the source/drain 9 at the substrate side are formed by heat treatment.

---

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-9134

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月12日

H 01 L 21/336  
21/28  
29/784

3 0 1 C

7738-5F

8422-5F H 01 L 29/78

3 0 1 P

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-157923

⑰ 出 願 昭63(1988)6月28日

⑱ 発 明 者 工 藤 均 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 星 野 恒 司

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

(1) 基板上にフィールド酸化膜パターンを形成する工程、ゲート酸化膜を形成する工程、前記ゲート酸化膜上にゲート電極パターンを形成する工程、酸化により前記ゲート電極の上部と側面に酸化膜を形成する工程、ソース・ドレイン上の酸化膜を除去して多結晶シリコンを堆積する工程、前記多結晶シリコンのうち、ソース・ドレイン上部以外の領域を自己整合的に除去する工程、前記ソース・ドレイン上部のポリシリコンにイオン注入する工程、熱処理により前記ソース・ドレイン上のポリシリコンから不純物拡散する工程を含む半導体装置の製造方法。

(2) ゲート電極パターンを形成する工程の後に、多結晶シリコンおよびシリコン窒化膜を堆積させる工程、前記シリコン窒化膜および所定量の前記多結晶シリコンを所定のパターンをマスクとして

エッチングする工程、前記多結晶シリコンを酸化する工程とを有し、請求項(1)記載の工程の直後にアルミニウム膜を堆積する工程、前記アルミニウム膜を所定パターンをマスクとしてエッチングする工程とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路素子の製造方法に関するもので、特に微細寸法を有する高集積回路素子の製造方法に関するものである。

(従来の技術)

シリコン半導体を用いたMOS(金属酸化膜シリコン)集積回路素子は、集積素子数50万個、最小パターン幅1.5~1.2 $\mu$ mが達成されている。今後ますます微細化・高集積化が必要とされるので、微細・高集積化が可能な装置構造の開発が求められている。

微細化にあたっては、MOSトランジスタの特性を所定範囲に確保しつつ、素子間の分離が行な

えねばならない。特にMOSトランジスタのゲート長を短くしたときには、短チャネル効果と呼ばれるしきい値電圧の急激な低下現象が起こる。以下に説明するのは、LDD(低濃度ドレイン)構造のnチャネルMOSトランジスタの製造方法例である。LDD構造は、短チャネル効果を防止するために、ゲート端部のドレインの不純物濃度を低下させることにより、ドレイン電界がチャネル部に及ぼす効果を減少させたものである。

第3図(a)においては、基板1上にフィールド酸化膜2とゲート酸化膜3が形成された状態が示されている。次に、第3図(b)では、ゲート電極4を形成後、P(リン)をイオン注入した状態を示している。第3図(c)では、全面にCVD酸化膜8を堆積している。第3図(d)では、全面にエッチバックを施して、ゲート電極4の端部にサイドウォール10と呼ばれるイオン注入のスペースを形成した状態が示されている。第3図(e)では、再度As(ヒ素)をイオン注入して熱処理し、ソース・ドレイン9が形成された状態が示されている。

#### (作用)

ポリシリコン内の拡散係数はシリコンに比べて十倍程度と大きく、浅いが濃い拡散層を形成できるので、このポリシリコンを拡散源として基板に対し拡散を行えば、そこに浅いが濃い拡散層よりなるソース・ドレインが得られ、同時に実効的にソース・ドレインのシート抵抗を低下せしめ、併せて溝子の平坦化がはかられる。

#### (実施例)

以下に、本発明の一実施例について図面により説明する。

第1図(a)において、基板1上にフィールド酸化膜2とゲート酸化膜3が形成されており、第1図(b)では、ゲート電極4形成後、Pがイオン注入された状態が示されている。第1図(c)では、酸化により、特にゲート電極がポリシリコンであるため、基板部分に比べ1.5～2倍の膜厚で酸化膜が形成された状態が示されている。次いで、第1図(d)のように、ソース・ドレイン上の酸化膜厚分だけ全面エッチングすると、厚く酸化膜が形

(参考：日経マイクロデバイス，1985年7月号，2000年へのLSI技術 第1部デバイス，P136～145)

#### (発明が解決しようとする課題)

LDD構造は短チャネル効果の防止に効果があるが、さらに微細化するには、ソース・ドレインの不純物拡散深さを浅くする必要がある。特にPチャネルではNチャネルに比較して拡散深さが深く、0.3～0.4 $\mu$ m(Nチャネルで0.2～0.3 $\mu$ m)もあり、浅くすべく検討が行なわれている。しかし、拡散深さを浅くすると、Al(アルミニウム)配線を接続した際に接合をつきぬけてAlのスパイクが入り易く、またシート抵抗が増大するため、回路の動作周波数が低下するという問題が発生する。

#### (課題を解決するための手段)

上記のような課題に対し、ソース・ドレインの拡散層に金属を貼り付けるという試みもなされている。本発明では、ポリシリコンから基板への拡散でソース・ドレインを形成することによりこの問題点を解決した。

成されているフィールド酸化膜2とゲート電極4の周りの酸化膜だけが残り、従来例と同様にサイドウォール10が形成され、ソース・ドレイン部分はシリコン面が露出する。このサイドウォール形成方法は、従来例に示した方法に比べゲート電極端部のゲート酸化膜厚が厚くなる(ゲートバースビーク)という欠点はあるが、ゲート電極上にも酸化膜が残るので、後工程が有利になる。第1図(e)では、ソース・ドレイン上の自然酸化膜を除去した後全面にポリシリコン5を堆積し、段差凹部にレジスト6を埋め込んだ(レジストコート後、不要なレジストをエッチングする)状態が示されている。この後、レジスト6をマスクにポリシリコンを等方性のプラズマエッチングでエッチバックすると、第1図(f)のようになる。第1図(f)では、埋め込んだポリシリコンにAsをイオン注入し、熱処理によりソース・ドレインポリシリコン電極7と基板側のソース・ドレイン9を形成する。この実施例では、LDD構造のnチャネルMOSトランジスタで説明したが、埋め込まれたポリ

シリコンにPとAsを同時にイオン注入して拡散する(二重拡散)方法も可能であり、PチャネルMOSトランジスタの場合には、2回に分けてB(ホウ素)イオン注入することや、PとBによりLDD化することも可能である。

このようにして形成したトランジスタは、フィールド酸化膜が最初の膜厚で $\sim 700\text{nm}$ 、仕上りで $\sim 500\text{nm}$ に対し、ゲート電極が最初で $\sim 400\text{nm}$ 、仕上りで $\sim 300\text{nm}$ と上部酸化膜 $\sim 100\text{nm}$ と合わせて $\sim 400\text{nm}$ 、ソース・ドレイン多結晶シリコン電極が $300\sim 400\text{nm}$ であるため、フィールド酸化膜上のゲート電極を除けばほぼ平坦である。

さらに、以上説明した製造方法の変形として、自己整合的にコンタクトを形成することができる。以下、この方法を図面を用いて説明する。第2図(a)ないし(e)は、第1図(a)からの続きの工程を例示している。第2図(a)では、第1図(f)と同様ソース・ドレイン多結晶シリコン11が自己整合的にエッチバック法により形成された後で、所定のゲート電極上の酸化膜をエッチングした状

態が示されている。この後、多結晶シリコン(3)12(ゲート電極形成用の多結晶シリコンが(1)、ソース・ドレイン多結晶シリコンが(2)である)および $\text{Si}_3\text{N}_4$ 13を形成した状態である。第2図(c)では、所定パターンのレジスト14のパターンに従って、 $\text{Si}_3\text{N}_4$ 13とほぼ堆積膜厚の半分に相当する量の多結晶シリコン(3)12がエッチングされた状態である。第2図(d)では、レジスト14を除去した後、酸化し、ソース・ドレインを形成する不純物をイオン注入している。以後、 $\text{Si}_3\text{N}_4$ 13を除去する。このとき、イオン注入と $\text{Si}_3\text{N}_4$ の除去の順序は入れ換わってもよい。第2図(e)では、ソース・ドレインの熱処理後、アルミニウム膜を堆積し、所定マスクによってエッチングし、配線15が形成された状態が示されている。

以上説明した方法では、自己整合的にソース・ドレインがLDD構造で形成できると同時に、配線とのコンタクトも自己整合的に形成できる。コンタクト部とソース・ドレインの位置ずれが生じたとしても、多結晶シリコン中の拡散が速く、ソ

ース・ドレイン多結晶シリコン電極はゲート電極と常に一定距離離れているので、トランジスタ特性の制御性は良好である。

#### (発明の効果)

以上説明したように、本発明では、ソース・ドレイン拡散層を浅くしつつ、上部にポリシリコン電極があるため、全体のシート抵抗は低くなっており、A<sub>2</sub>配線を接続したときの拡散層のつきめけも防止されている。また、平坦化もはかられているので、A<sub>2</sub>配線の形成も容易である。また、微工程を追加すれば自己整合的にコンタクトを形成できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の製造方法を説明する図、第2図は本発明の他の実施例を説明する図、第3図は従来例を説明する図である。

- 1…基板、 2…フィールド酸化膜、
- 3…ゲート酸化膜、 4…ゲート電極、
- 5…ポリシリコン、 6…レジスト、
- 7…ソース・ドレインポリシリコン電極、

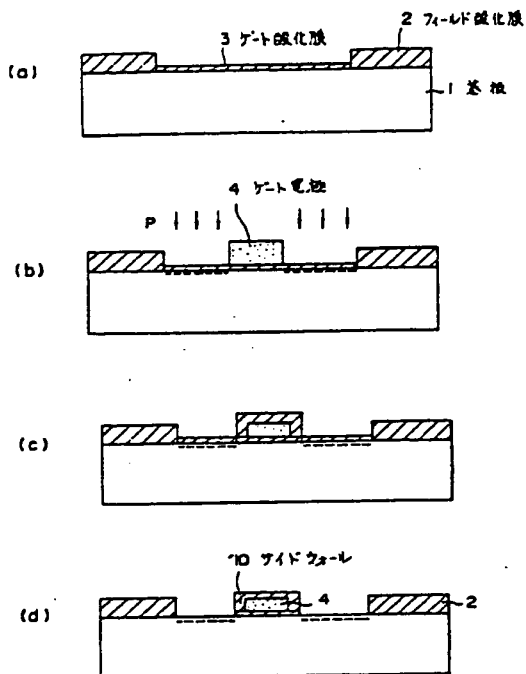
- 8…CVD酸化膜、 9…ソース・ドレイン、
- 10…サイドウォール、 11…ソース・ドレイン多結晶シリコン、
- 12…多結晶シリコン(3)、 13… $\text{Si}_3\text{N}_4$ 、 14…レジスト、
- 15…配線。

特許出願人 松下電子工業株式会社

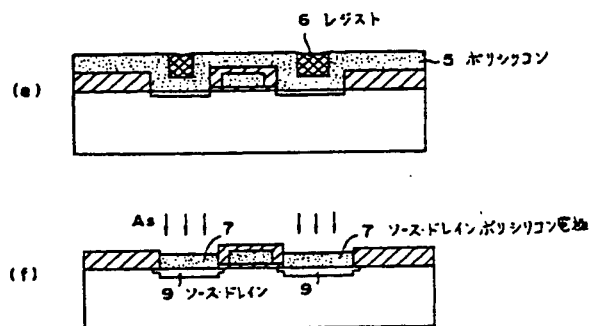
代理人 星野恒司



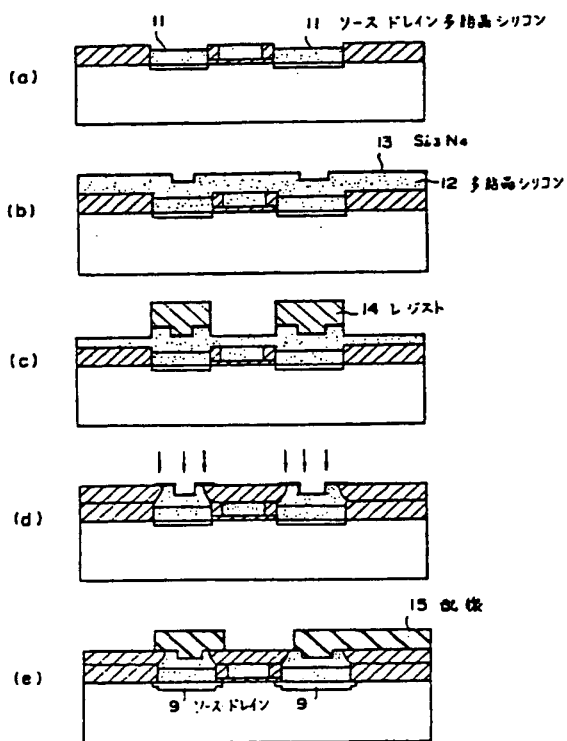
第 1 図



第 1 図



第 2 図



第 3 図

